

---

(19)

**KOREAN INTELLECTUAL PROPERTY OFFICE**

---

**KOREAN PATENT ABSTRACTS**

(11)Publication number: **100345960**

(43)Date of publication of application: **12.07.2002**

---

(21)Application number: **1020000056501**

(71)Applicant: **SAMSUNG ELECTRONICS  
CO., LTD.**

(22)Date of filing: **26.09.2000**

(72)Inventor: **PARK, UN YONG**

(51)Int. Cl **H01L 29/786**

---

**(54) THIN-FILM-TRANSISTOR SUBSTRATE AND FABRICATING METHOD THEREOF**

**(57) Abstract:**

**PURPOSE:** A thin-film-transistor(TFT) substrate is provided to increase an aperture rate of a panel by forming a color filter and the TFT substrate on the same substrate, and to improve an aperture rate of the substrate by forming even a mask layer on the same substrate. **CONSTITUTION:** A data line(21) is formed on an insulation substrate(10). Red, green and blue color filters(31,32) are positioned in a pixel on the substrate wherein the edge of the color filters overlaps the data line. An insulation layer covers the data line and the color filters. A gate interconnection(52,53) is formed on the insulation layer, including a gate line crossing the data line and defining the pixel and a gate electrode as a branch of the gate line. A common electrode(55) includes a main line in parallel with the gate line and a branch line connected to the main line. A gate insulation layer covers the gate interconnection and the common electrode. The first contact hole exposing a part of the data line is formed on the gate insulation layer and the insulation layer. A semiconductor layer pattern is formed on the gate insulation layer of the gate electrode. A resistive contact layer pattern is formed on the semiconductor layer pattern. A source electrode(91) is connected to the data line through the first contact hole, formed on the resistive contact layer pattern. A drain electrode(92) confronts the source electrode. A pixel electrode(93) has a branch line separated from the branch line of the common electrode.

copyright KIPO 2002

**Legal Status**

Date of request for an examination (20000926)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20020629)

Patent registration number (1003459600000)

Date of registration (20020712)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> H01L 29/786	(45) 공고일자 2002년08월01일
	(11) 등록번호 10-0345960
	(24) 등록일자 2002년07월12일
(21) 출원번호 10-2000-0056501	(65) 공개번호 특2002-0024718
(22) 출원일자 2000년09월26일	(43) 공개일자 2002년04월01일
(73) 특허권자 삼성전자 주식회사	
(72) 발명자 박운용	
(74) 대리인 김원근, 유미특허법인	

심사관 : 김관식

(54) 박막 트랜지스터 기판 및 그 제조방법

요약

본 발명은 박막 트랜지스터 기판 및 그 제조 방법에 관한 것으로, 개구율을 향상시키기 위하여, 컬러 필터와 박막 트랜지스터 기판을 동일 기판에 형성한다. 본 발명에 따른 박막 트랜지스터 기판에는, 기판 위에 데이터선이 형성되어 있고, 적, 녹, 청의 컬러 필터가 기판 위의 화소에 위치하여 데이터선에 가장자리가 중첩되어 있다. 그리고, 데이터선 및 컬러 필터를 절연막이 덮고 있고, 절연막 위에는 데이터선과 교차하여 화소를 정의하는 게이트선 및 게이트선의 분지인 게이트 전극을 포함하는 게이트 배선이 형성되어 있다. 절연막 위에는 게이트선에 평행하게 위치하는 주선 및 이 주선에 연결되는 가지선을 포함하는 공통 전극이 형성되어 있고, 게이트 절연막이 게이트 배선 및 공통 전극을 덮고 있다. 게이트 절연막과 절연막에는 데이터선의 일부를 드러내는 제 1 접촉 구멍이 형성되어 있고, 게이트 전극의 게이트 절연막 위에는 반도체층 패턴과 저항성 접촉층 패턴이 형성되어 있다. 저항성 접촉층 패턴 위에 제 1 접촉 구멍을 통하여 데이터선과 연결되는 소스 전극, 소스 전극과 분리되는 드레인 전극, 드레인 전극과 연결되, 공통 전극의 가지선과 소정의 간격을 두고 배열되는 가지선을 가지는 화소 전극이 형성되어 있다.

대표도

도2

색인어

개구율, 컬러 필터, 박막 트랜지스터, 공통 전극, 차광막

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예에 따른 박막 트랜지스터 기판의 배치도이고,  
 도 2는 도 1에 보인 절단선 II-II'을 따라 나타낸 단면도이고,  
 도 3a는 본 발명의 실시예에 따른 박막 트랜지스터 기판의 첫 번째 제조 단계에서의 기판의 배치도이고,  
 도 3b는 도 3a에 보인 절단선 IIIb-IIIb'을 따라 나타낸 단면도이고,  
 도 4a는 도 3a의 다음 단계에서의 기판의 배치도이고,  
 도 4b는 도 4a에 보인 절단선 IVb-IVb'을 따라 나타낸 단면도이고,  
 도 5a는 도 4a의 다음 단계에서의 기판의 배치도이고,  
 도 5b는 도 5a에 보인 절단선 Vb-Vb'을 따라 나타낸 단면도이고,  
 도 6a는 도 5a의 다음 단계에서의 기판의 배치도이고,  
 도 6b는 도 6a에 보인 절단선 VIb-VIb'을 따라 나타낸 단면도이고,  
 도 7 내지 도 9는 도 5b에서 도 6b 사이에 실시되는 중간 제조 단계에서의 단면도이고,  
 도 10a는 도 6a의 다음 단계에서의 기판의 배치도이고,  
 도 10b는 도 10a에 보인 절단선 Xb-Xb'을 따라 나타낸 단면도이고,  
 도 11은 박막 트랜지스터 기판과 상부 기판을 합착한 후의 패드부의 절연막 부분을 식각하는 공정을 나타

타낸 도면이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 기판 및 그 제조방법에 관한 것으로 특히, 액정 표시 장치에 사용되는 박막 트랜지스터 기판 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 화상을 표시하는 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 두 기판 중 하나에는 박막 트랜지스터와 화소 전극이 형성되어 있으며, 나머지 다른 기판에는 컬러 필터와 차광막과 전연의 공통 전극이 형성되어 있는 것이 일반적이다.

그러나, 이러한 액정 표시 장치에서는 두 기판의 오정렬로 인한 차광막의 선폭으로 인하여 패널의 개구율이 작아지고, 그에 따라 휘도가 낮아지는 문제가 있다.

#### 발명이 이루고자하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 개구율을 높일 수 있는 박막 트랜지스터 기판 및 그 제조 방법을 제공하고자 한다.

### 발명의 구성 및 작용

이러한 과제를 해결하기 위하여 본 발명에서는 컬러 필터와 박막 트랜지스터를 동일 기판에 형성한다.

상세하게, 본 발명에 따른 박막 트랜지스터 기판에서는 기판 위에 데이터선이 형성되어 있고, 적, 녹, 청의 컬러 필터가 기판 위의 화소에 위치하여 데이터선에 가장자리가 중첩되어 있다. 그리고, 데이터선 및 컬러 필터를 절연막이 덮고 있고, 절연막 위에는 데이터선과 교차하여 화소를 정의하는 게이트선 및 게이트선의 분지인 게이트 전극을 포함하는 게이트 배선이 형성되어 있다. 또한, 절연막 위에는 게이트선에 평행하게 위치하는 주선 및 이 주선에 연결되는 가지선을 포함하는 공통 전극이 형성되어 있고, 게이트 절연막이 게이트 배선 및 공통 전극을 덮고 있다. 게이트 절연막과 절연막에는 데이터선의 일부를 드러내는 제 1 접촉 구멍이 형성되어 있고, 게이트 전극의 게이트 절연막 위에는 반도체층 패턴과 저항성 접촉층 패턴이 형성되어 있다. 저항성 접촉층 패턴 위에 제 1 접촉 구멍을 통하여 데이터선과 연결되는 소스 전극, 소스 전극과 분리되는 드레인 전극, 드레인 전극과 연결되고, 공통 전극의 가지선과 소정의 간격을 두고 배열되는 가지선을 가지는 화소 전극이 형성되어 있다.

이 때, 절연 기판 위에 게이트선과 공통 전극의 주선 사이의 영역에 중첩되는 차광막을 더 포함할 수 있으며, 데이터선과 차광막은 동일 배선재로 형성될 수 있다.

공통 전극의 가지선과 화소 전극의 가지선은 평행하게 배열되도록 형성되는 것이 유리하며, 게이트 배선과 공통 전극은 동일 배선재로 형성될 수 있다. 여기서, 데이터선 주변부에 위치하는 게이트선과 공통 전극의 주선 사이의 영역을 소스 전극이 덮도록 형성되는 것이 바람직하다.

또한, 컬러 필터는 데이터선의 상부에 위치하거나, 데이터선의 하부에 위치할 수 있으며, 데이터선에 연결되는 데이터 패드 및 게이트선에 연결되는 게이트 패드를 더 포함할 수 있고, 소스 전극, 드레인 전극, 화소 전극 및 반도체층의 노출된 부분을 덮는 보호막을 더 포함할 수 있다.

이러한 박막 트랜지스터 기판을 제조하기 위하여, 절연 기판 위에 데이터선을 형성하고, 절연 기판 위의 화소 영역에는 데이터선에 가장자리가 중첩되는 적, 녹, 청의 컬러 필터를 형성한다. 이어, 데이터선 및 컬러 필터를 덮는 절연막을 형성하고, 절연막 상부에 형성되어 있으며, 데이터선과 교차하여 화소를 정의하는 게이트선, 게이트선의 분지인 게이트 전극을 포함하는 게이트 배선 및 게이트선과 분리되어 평행하게 있는 주선, 이 주선에 연결되는 가지선을 포함하는 공통 전극을 형성하고, 게이트 배선 및 공통 전극을 덮는 게이트 절연막을 형성한다. 이어, 게이트 절연막 위에 섬모양의 저항성 접촉층과 반도체층 패턴을 형성하는 동시에 게이트 절연막과 절연막에 데이터선 일부를 드러내는 제 1 접촉 구멍을 형성한 후, 저항성 접촉층 패턴 상부에 제 1 접촉 구멍을 통하여 데이터선과 연결되는 소스 전극, 소스 전극과 분리되어 마주하는 드레인 전극 및 드레인 전극과 연결되고, 공통 전극의 가지선과 소정의 간격을 두고 평행하게 배열되는 가지선을 가지는 화소 전극을 형성한다. 이어, 소스 전극과 드레인 전극 사이에 드러난 저항성 접촉층 부분을 제거한다.

여기서, 게이트 절연막, 제 1 접촉 구멍, 상기 반도체층 패턴 및 상기 접촉층 패턴의 형성은, 게이트 배선을 덮는 게이트 절연막, 비정질 규소막 및 불순물이 도핑된 비정질 규소막을 차례로 증착하고, 게이트 전극 위에 위치하는 제 1 부분 및 상기 제 1 접촉 구멍이 형성될 부분을 제외한 전 부분에 제 1 부분보다 얇게 형성되는 제 2 부분으로 이루어지는 감광막 패턴을 형성하고, 감광막의 제 1 부분 및 제 2 부분을 마스크로 하여 그 하부의 불순물이 도핑된 비정질 규소막, 비정질 규소막, 게이트 절연막 및 절연막을 식각하여 제 1 접촉 구멍을 형성하고, 감광막 패턴의 제 2 부분을 제거하고, 감광막 패턴의 제 1 부분을 마스크로 하여 그 하부의 불순물이 도핑된 비정질 규소막, 비정질 규소막을 식각하여 섬모양의 반도체층 패턴과 저항성 접촉층 패턴을 형성하고, 감광막 패턴의 제 1 부분을 제거하는 공정에 의하여 이루어질 수 있다. 이 때, 감광막 패턴은 부분적으로 투과율이 다르도록 조절된 마스크를 사용하는 것이

유리하다.

절연 기판 위에 게이트선과 공통 전극의 주선 사이의 영역에 증착되는 차광막을 더 형성할 수 있고, 이 차광막은 데이터선을 형성하는 과정에서 데이터선 형성용 물질로 형성할 수 있다. 또한, 데이터선을 형성한 후에, 컬러 필터를 형성하거나, 컬러 필터를 형성한 후에, 데이터선을 형성할 수 있다.

그리고, 데이터선에 연결되는 데이터 패드, 게이트선에 연결되는 게이트 패드를 더 형성할 수 있고, 소스 전극, 드레인 전극 및 화소 전극 및 상기 패드들을 덮는 보호막을 형성한 다음, 패드들 위의 보호막 부분을 제거하는 공정을 더 포함할 수 있다. 이 때, 보호막의 제거는 후속 공정인 다른 기판과의 합착 공정을 진행한 후에 또는, 편광판 부착 공정을 진행한 후에 패드들 위의 보호막 부분을 건식 식각하여 이루어질 수 있다.

그러면, 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치의 구조에 대하여 설명한다.

먼저, 도 1 및 도 2를 참조하여 본 발명의 실시예에 따른 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다. 이하에서는 컬러 필터, 박막 트랜지스터 및 차광막이 형성되어 있고, 광시야각 모드를 구현하기 위하여 수평 전계를 이용하여 액정을 구동하도록 하는 화소 전극과 공통 전극도 형성된 박막 트랜지스터 기판을 실시예로 하여 본 발명을 설명한다.

도 1은 본 발명의 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 2는 도 1에 도시한 박막 트랜지스터 기판을 절단선 II-II'을 따라 나타낸 단면도이다.

절연 기판(10)의 상부에 세로 방향으로 뻗어 있는 데이터선(21)과 데이터 패드(22)를 포함하는 데이터 배선(21, 22) 및 차광막(25)이 형성되어 있다. 차광막(25)은 데이터 배선(21, 22)과 동일한 배선재로 형성될 수 있다. 차광막(22)은 이후에 형성되는 박막 트랜지스터의 반도체층(71) 영역 및 게이트선(51)과 공통 전극(55) 사이의 영역으로 입사되는 빛을 차단한다.

데이터 배선(21, 22)과 차광막(25)은 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 금속 또는 도전체로 단일막 또는 다중막으로 형성될 수 있다.

절연 기판(10) 위의 화소 영역에는 가장자리 부분이 데이터선(21)과 중첩되는 적(R), 녹(G), 청(B)의 컬러 필터(31, 32, 33)가 각각 형성되어 있다. 여기서, 컬러 필터(31, 32, 33)는 도면에 보인 바와 같이, 데이터선(21)의 상부에서 서로 겹치도록 형성될 수 있지만, 그 반대로 데이터선(21) 및 차광막(25)의 하부에 위치하여 데이터선(21)의 하부에서 서로 겹치도록 형성될 수 있다.

데이터 배선(21, 22) 및 컬러 필터(31, 32, 33) 위에는 BCB(bisbenzocyclobutene) 또는 PFCB(perfluorocyclobutene) 등과 같이 낮은 유전율 특성을 가지고 평탄화되어 있는 유기 절연막(40)이 형성되어 있다.

유기 절연막(40) 상부에는 게이트 배선(51, 52, 53)과 공통 전극(55)이 형성되어 있다. 게이트 배선(51, 52, 53)은 가로 방향으로 뻗어 데이터선(21)과 교차하여 단위 화소를 정의하는 게이트선(51). 게이트선(51)의 끝에 연결되어 있어 외부로부터의 주사 신호를 인가 받아 게이트선(51)으로 전달하는 게이트 패드(52) 및 게이트선(51)의 일부인 박막 트랜지스터의 게이트 전극(53)을 포함한다. 공통 전극(55)은 게이트선(22)에 평행한 주선(551)과 이 주선(551)에 연결되어 세로 방향으로 배열되는 가지선(552)으로 이루어져 있으며, 공통 전압 따위의 신호를 외부로부터 인가 받는다. 이 때, 공통 전극(55)은 후술되는 화소 전극(93)과의 사이에 수평 전계를 발생시켜 액정을 구동시킨다.

이 때, 공통 전극(55)은 게이트 배선(51, 52, 53)과 동일한 배선재로 형성될 수 있다.

게이트 배선(51, 52, 53) 및 공통 전극(55)은 데이터 배선(21, 22) 및 차광막(25)과 같이, 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 금속 또는 도전체로 단일막 또는 다중막으로 형성될 수 있다.

게이트 배선(51, 52, 53), 공통 배선(55) 및 유기 절연막(40) 위에는 질화 규소 따위로 이루어진 게이트 절연막(60)이 형성되어 있다. 게이트 절연막(60)에는 게이트 패드(52)를 드러내는 접촉 구멍(63)이 형성되어 있고, 유기 절연막(40)과 함께 데이터 패드(22)를 드러내는 접촉 구멍(62) 및 데이터선(21)을 드러내는 접촉 구멍(61)이 형성되어 있다.

그리고, 게이트 전극(51)의 게이트 절연막(60) 상부에는 비정질 규소 따위의 반도체로 이루어진 반도체층(71)이 성 모양으로 형성되어 있다. 반도체층(71) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(81, 82)이 서로 분리되어 형성되어 있다.

접촉층(81, 82) 위에는 도전 물질로 이루어진 소스 전극(91)과 드레인 전극(92)이 접촉되어 있고, 드레인 전극(92)에는 화소 전극(93)이 일체로 형성되어 있다. 이 때, 소스 전극(91)은 접촉 구멍(61)을 통하여 데이터선(21)과 연결되어 데이터 신호를 받을 수 있도록 되어 있다.

화소 전극(93)은 드레인 전극(92)에서 연장되어 게이트선(51)과 평행하게 위치하는 주선(931)과 이 주선(931)에 연결되어 공통 전극(99)의 가지선(552)과 소정의 간격을 두고 나란하게 형성되는 가지선(932)으로 이루어져 있다. 화소 전극(93)의 가지선(932)은 공통 전극(55)의 가지선(552)과 평행하게 마주하도록 형성되어 있어서, 공통 전극(55)과의 사이에 소정의 전압이 인가될 경우, 수평 전계를 발생시켜 액정을 구동하게 된다.

언급한 바와 같이, 게이트선(51)과 공통 전극(55)의 주선(551) 사이의 영역에는 차광막(25)이 형성되어 있어서, 이 영역으로 들어오는 빛은 차단된다. 이 때, 데이터선(21) 주변부에 위치하는 게이트선(51)과 공통 전극(55)의 주선(551) 사이의 영역에는 차광막(25)이 형성될 수 없으므로, 소스 전극(91)이 차광기능을 할 수 있도록 도면에 보인 바와 같이, 넓게 형성하는 것이 유리하다.

소스 전극(91), 드레인 전극(92) 및 화소 전극(93)과 동일한 층에는 접촉 구멍(62, 63)을 통하여 게이트

패드(52) 및 데이터 패드(22)와 각각 연결되어 있는 보조 게이트 패드(96) 및 보조 데이터 패드(95)가 형성되어 있다. 이들은 패드(22, 52)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

소스 전극(91), 드레인 전극(92) 및 이에 연결되는 화소 전극(93) 및 반도체층(71)의 노출된 부분을 덮는 보호막(100)이 형성되어 있다.

상술한 바와 같은 본 발명에 따른 박막 트랜지스터 기판에서는 컬러 필터 및 박막 트랜지스터를 동일 기판에 형성하기 때문에 패널의 개구율을 높일 수 있다. 또한, 차광막까지 동일 기판에 형성되는 경우에는 상판과 기판의 합착 마진을 고려하지 않아도 되기 때문에 기판의 개구율을 더욱 높일 수 있다. 또한, 본 발명에 따른 박막 트랜지스터 기판에서는 데이터선과 게이트선 사이에 두꺼운 유기 절연막이 형성되어 있어서, 두 선 사이에 야기되는 기생 캐패시턴스를 줄일 수 있다. 그리고, 본 발명의 실시예에서와 같이, 공통 전극과 화소 전극 사이에서 발생하는 수평 전계를 이용하여 액정을 구동할 경우에는 광 시야각을 구현할 수 있다는 장점이 있다.

그러면, 이러한 본 발명의 실시예에 따른 박막 트랜지스터 기판의 제조 방법에 대하여 도 3a 내지 도 10b와 앞서의 도 1 및 도 2를 참조하여 상세히 설명한다.

먼저, 도 3a 및 도 3b에 도시한 바와 같이, 제 1 도전층을 스퍼터링 따위의 방법으로 증착하고 마스크를 이용한 사진 식각 공정으로 건식 또는 습식 식각하여, 절연 기판(10) 위에 데이터선(21)과 데이터 패드(22)를 포함하는 데이터 배선(21, 22) 및 차광막(25)을 형성한다.

제 1 도전층은 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 금속 또는 도전체로 단일막 또는 다중막으로 형성할 수 있다.

이어, 도 4a 및 4b에 도시한 바와 같이 적(R), 녹(G), 청(B)의 안료를 포함하는 광광성 물질을 차례로 도포하고 마스크를 이용한 사진 공정으로 패터닝하여 적(R), 녹(G), 청(B)의 컬러 필터(31, 32, 33)를 차례로 형성한다. 이 때, 적(R), 녹(G), 청(B)의 컬러 필터(31, 32, 33)는 세 장의 마스크를 사용하여 형성하지만, 제조 비용을 줄이기 위하여 하나의 마스크를 이동하면서 이용하여 형성할 수도 있다. 또한, 레이저(laser) 전사법이나 프린트(print)법을 이용하면 마스크를 사용하지 않고 형성할 수도 있어, 제조 비용을 최소화할 수도 있다.

이때, 도면에서 보는 바와 같이, 적(R), 녹(G), 청(B)의 컬러 필터(31, 32, 33)의 가장자리는 데이터 배선(20, 21)과 중첩되도록 형성하는 것이 바람직하다.

상술한 바에 의하면, 컬러 필터(31, 32, 33)가 데이터 배선(21, 22) 및 차광막(25)의 하부에 형성하는 제조 공정이 제시되었지만, 절연 기판(10) 상에 컬러 필터(31, 32, 33)를 먼저 형성한 후에 데이터 배선(21, 22) 및 차광막(25)을 형성할 수 있다.

이어, 도 5a 및 도 5b에서 보는 바와 같이, 절연 기판(10) 상부에 낮은 유전율을 가지며, 평탄화 특성이 우수한 유기 물질을 이용하여 유기 절연막(40)을 형성한다. 이러한 유기 물질로는 BCB 또는 PFCB 등이 있다.

이어, 제 2 도전층을 스퍼터링 따위의 방법으로 증착하고 마스크를 이용한 사진 식각 공정으로 건식 또는 습식 식각하여, 게이트선(51), 게이트 전극(53) 및 게이트 패드(52)를 포함하는 게이트 배선(51, 52, 53)과 주선(551)과 가지선(552)으로 이루어지는 공통 전극(55)을 형성한다.

제 2 도전층은 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 금속 또는 도전체로 단일막 또는 다중막으로 형성할 수 있다.

이어, 도 6a 및 도 6b에 도시한 바와 같이, 게이트 절연막(60), 비정질 규소막(70), 불순물이 도핑된 비정질 규소막(80)을 순차적으로 적층한 후, 마스크를 이용한 사진 공정으로 패터닝하여 성 모양의 반도체층(71) 및 저항성 접촉층(80)을 형성하고 동시에, 게이트 절연막(60)과 유기 절연막(40)에 데이터선(21), 게이트 패드(52) 및 데이터 패드(22)를 각각 드러내는 접촉 구멍(61, 62, 64)을 형성한다.

즉, 게이트 전극(53)의 상부를 제외한 부분에서는 반도체층 및 저항성 접촉층이 제거되고, 게이트 패드(52) 상부에서는 반도체층 및 저항성 접촉층과 함께 게이트 절연막(60)도 제거되고, 데이터선(21) 및 데이터 패드(22) 상부에서는 반도체층, 저항성 접촉층 및 게이트 절연막(60)과 함께 유기 절연막(40)도 제거된다.

이를 하나의 마스크를 이용한 사진 식각 공정으로 형성하기 위해서는 부분적으로 다른 두께를 가지는 광광막 패턴을 식각 마스크로 사용해야 한다. 이에 대하여 도 7 내지 도 9를 통하여 상세하게 설명하기로 한다.

우선, 도 7에 보인 바와 같이, 게이트 절연막(60), 비정질 규소막(70), 불순물이 도핑된 비정질 규소막(80)을 순차적으로 적층한 후, 불순물이 도핑된 비정질 규소막(80)의 상부에 광광막을 1  $\mu\text{m}$  내지 2  $\mu\text{m}$ 의 두께로 도포한 후, 마스크를 이용한 사진 공정을 통하여 광광막에 빛을 조사한 후 현상하여 서로 다른 두께를 가지는 광광막 패턴(111, 112)을 형성한다.

이때, 광광막 패턴(111, 112) 중에서 게이트 전극(53)의 상부에 위치한 제 2 부분(112)은 나머지 제 1 부분(111)보다 두께가 두껍게 되도록 형성하며, 데이터선(21), 데이터 패드(22) 및 게이트 패드(52)의 일부 위에는 광광막이 존재하지 않도록 한다. 제 1 부분(111)의 두께를 제 2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

이와 같이, 위치에 따라 광광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는 데, 여기에서는 양성 광광막을 사용하는 경우의 한 방법에 대하여 설명한다.

노광기의 분해능보다 작은 패턴, 예를 들면 슬릿(slit)이나 격자 형태의 패턴을 형성하여 투과율이 다른

효과를 가지도록 하는 마스크를 사용하거나, 투과율이 다른 막 예를 들어, 투과율이 3% 이하인 막과 투과율이 20~50%인 막으로 구성된 마스크를 이용한다. 예를 들면 B 영역에 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 두어 빛의 조사량을 조절하는 마스크를 사용하는 기술을 사용한다.

이와 같은 마스크를 통하여 감광막에 빛을 조사하면, 조사되는 빛의 양 또는 세기에 따라 고분자들이 분해되는 정도가 다르게 된다. 이때, 빛에 완전히 노출되는 C 영역에 대응하는 부분의 고분자들이 완전히 분해될 때 노광을 마치면, 빛에 완전히 노출되는 부분에 비하여 슬릿이나 반투명막이 형성되어 있는 B 영역을 통과하는 빛의 조사량이 적으므로 B 영역에 대응하는 부분에서 감광막은 완전히 분해되지 않은 상태이다. 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 함은 물론이다. A 영역은 노광되지 않은 영역이다.

이러한 감광막을 현상하면, 분자들이 분해되지 않은 제 1 부분(111)이 남고, 빛이 적게 조사된 제 2 부분(112)은 제 1 부분(111)보다 얇은 두께로 일부만 남고, 빛에 완전히 노광된 C 영역에 대응하는 부분에는 감광막이 거의 제거된다.

이러한 방법을 통하여 위치에 따라 두께가 서로 다른 감광막 패턴이 만들어진다.

이어, 도 8에 보인 바와 같이, 이러한 감광막 패턴(111, 112)을 식각 마스크로 사용하여 불순물이 도핑된 비정질 규소막(80), 비정질 규소막(70) 및 게이트 절연막(60)을 건식 식각하여 게이트 패드(52)를 드러내는 접촉 구멍(62)을 완성하고, C 영역에 대응하는 부분의 유기 절연막(40)을 드러낸다. 계속해서, 감광막 패턴(111, 112)을 식각 마스크로 사용하여 C 영역에 대응하는 부분의 유기 절연막(40)을 건식 식각하여 데이터선(21) 및 데이터 패드(22)를 드러내는 접촉 구멍(61, 63)을 완성한다.

이어 도 9에 보인 바와 같이, 감광막의 제 1 부분(111)을 제거한다. 여기서, 제 1 부분(111)의 감광막 찌꺼기를 완전히 제거하기 위하여 산소를 이용한 애싱 공정을 추가할 수도 있다. 이 과정에서 감광막의 제 2 부분(112)은 상부가 일부 제거되어 얇아진다.

다음, 남아 있는 감광막 패턴의 제 2 부분(112)을 식각 마스크로 사용하여 불순물이 도핑된 비정질 규소막(80) 및 그 하부의 비정질 규소막(70)을 식각하여 제거하여, 게이트 전극(53) 상부의 게이트 절연막(60) 위에 섬 모양으로 비정질 규소막(71)과 불순물이 도핑된 비정질 규소막(80)을 형성한다. 이때, 식각은 건식 식각으로 이루어지며, 반도체층(70)과 게이트 절연막(60)의 식각 선택비가 10:1 이상의 큰 조건하에서 식각을 행하는 것이 바람직하다.

마지막으로 남아 있는 감광막의 제 2 부분(112)을 제거하면, 도 6b에 보인 바와 같은 단면을 얻을 수 있다. 여기서, 제 2 부분(112)의 감광막 찌꺼기를 완전히 제거하기 위하여 산소를 이용한 애싱 공정을 추가할 수도 있다.

이어, 도 10a 및 도 10b에 도시한 바와 같이, 제 3 도전층을 스퍼터링에 의하여 증착하고, 마스크를 이용한 사진 공정으로 패턴링하여 소스 전극(91), 드레인 전극(92) 및 주선(931)과 가지선(932)으로 이루어지는 화소 전극(93)을 형성하고, 동시에 게이트 패드(52)를 덮는 보조 게이트 패드(96)와 데이터 패드(22)를 덮는 보조 데이터 패드(95)를 형성한다. 이 과정에서 보조 게이트 패드(96) 및 보조 데이터 패드(95)는 접촉 구멍(62, 63)을 통하여 게이트 패드(52) 및 데이터 패드(22)에 연결된다.

제 3 도전층은 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 금속 또는 도전체로 단일막 또는 다중막으로 형성할 수 있다.

본 발명의 실시예에서는 게이트 패드(52)를 게이트선(51)을 연장하여 형성하고, 데이터 패드(22)를 데이터선(21)을 연장하여 형성하였지만, 게이트 패드(52)를 데이터 배선(21, 22) 형성용 도전 물질로 형성하고, 데이터 패드(22)를 게이트 배선(51, 52, 53) 형성용 물질로 형성하는 것도 무방하다.

이 때, 소스 전극(91)을 접촉 구멍(61)을 통하여 데이터선(21)과 연결하여 데이터 신호를 받을 수 있도록 한다. 화소 전극(93)은 드레인 전극(92)과 일체로 형성하되, 그의 가지선(932)이 공통 전극(55)의 가지선(552)과는 평행하게 마주보도록 형성하는 것이 유리하다.

다음, 소스 전극(91)과 드레인 전극(92)을 마스크로 사용하여 이 전극들(91)(92) 사이에 드러난 저항성 접촉층 부분을 식각하여 저항성 접촉층을 소스 전극(91)에 접촉되는 저항성 접촉층(81)과 드레인 전극(92)에 접촉되는 저항성 접촉층(82)으로 분리한다.

이어, 질화 규소 따위를 증착하여, 소스 전극(91), 드레인 전극(92) 사이로 노출된 반도체층(71)을 포함하는 기판의 노출된 전면을 덮는 보호막(100)을 형성한다.

이후, 게이트 패드(52)와 데이터 패드(22)를 외부 신호를 전달하는 연결 배선(도면 미표시)과 연결될 수 있도록 이들 패드(52)(22)의 상부에 위치하는 보호막(100)을 건식식각에 의하여 제거하여 보조 게이트 패드(96)와 보조 데이터 패드(95)를 드러낸다.

여기서, 게이트 패드(52)와 데이터 패드(22)가 위치하는 패드부 위의 보호막을 드러내는 공정은 도 11에 보인 바와 같이, 본 발명에 의하여 제조되는 박막 트랜지스터 기판(100)과 상판(200)을 합착하는 공정 후에 진행할 수 있다. 즉, 본 발명에 의하여 컬러 필터, 박막 트랜지스터, 차광막, 화소 전극 및 공통 전극이 형성되어 있는 박막 트랜지스터 기판(100)과 이에 대응되는 상부 기판(200)을 합착한 후, 박막 트랜지스터 기판(100)의 패드부(160)에 위치하는 보호막을 드러내는 공정을 진행한다.

박막 트랜지스터 기판(100)과 상부 기판(150)의 사이의 공간은 실(seal)제(150)에 의하여 밀봉되는데, 박막 트랜지스터 기판(100)의 패드 부분(160)은 상부 기판(200)의 외부에 드러난다. 이 후에, 패드 부분(160)의 보호막 부분을 건식 식각에 의하여 제거할 수 있다.

또한, 이러한 식각 공정에서 야기되는 기판의 손상을 줄이기 위하여 편광판(도면 미표시)을 부착한 후에, 패드 부분의 보호막 제거 공정을 진행할 수 있다. 편광판을 부착한 후 보호막 제거 공정을 진행할 경우에는 편광판 보호막이 있는 상태에서 진행하는 것이 유리하다.

### 발명의 효과

상술한 바와 같이, 본 발명에서는 컬러 필터 및 박막 트랜지스터를 동일 기판에 형성하기 때문에 패널의 개구율을 높일 수 있고, 차광막까지 동일 기판에 형성되는 경우에는 상판과 기판의 합착 마진을 고려하지 않아도 되기 때문에 기판의 개구율을 더욱 높일 수 있다.

### (57) 청구의 범위

#### 청구항 1

절연 기판,

상기 기판 위에 형성되는 데이터선,

상기 기판 위의 화소에 위치하여 상기 데이터선에 가장자리가 중첩되도록 형성되는 적, 녹, 청의 컬러 필터,

상기 데이터선 및 상기 컬러 필터를 덮는 절연막,

상기 절연막 위에 형성되어 있으며, 상기 데이터선과 교차하여 상기 화소를 정의하는 게이트선 및 상기 게이트선의 분지인 게이트 전극을 포함하는 게이트 배선,

상기 게이트선에 평행하게 위치하는 주선 및 이 주선에 연결되는 가지선을 포함하는 공통 전극,

상기 게이트 배선 및 공통 전극을 덮는 게이트 절연막,

상기 게이트 절연막과 상기 절연막에 상기 데이터선의 일부를 드러내도록 형성되는 제 1 접촉 구멍,

상기 게이트 전극의 상기 게이트 절연막 위에 형성되어 있는 반도체층 패턴,

상기 반도체층 패턴 위에 형성되어 있는 저항성 접촉층 패턴,

상기 저항성 접촉층 패턴 위에 형성되어 있으며, 상기 제1 접촉 구멍을 통하여 상기 데이터선과 연결되어 있는 소스 전극, 상기 소스 전극과 분리되어 마주하는 드레인 전극, 상기 드레인 전극과 연결되되, 상기 공통 전극의 가지선과 소정의 간격을 두고 배열되는 가지선을 가지는 화소 전극,

을 포함하는 박막 트랜지스터 기판.

#### 청구항 2

청구항 1에 있어서,

상기 기판 위에 상기 게이트선과 상기 공통 전극의 주선 사이의 영역에 중첩되는 차광막을 더 포함하는 박막 트랜지스터 기판.

#### 청구항 3

청구항 2에 있어서,

상기 데이터선과 상기 차광막은 동일 배선재로 형성되는 박막 트랜지스터 기판.

#### 청구항 4

청구항 1에 있어서,

상기 공통 전극의 가지선과 상기 화소 전극의 가지선은 평행하게 배열되도록 형성되는 박막 트랜지스터 기판.

#### 청구항 5

청구항 1에 있어서,

상기 게이트 배선과 상기 공통 전극은 동일 배선재로 형성되는 박막 트랜지스터 기판.

#### 청구항 6

청구항 1에 있어서,

상기 데이터선 주변부에 위치하는 상기 게이트선과 상기 공통 전극의 주선 사이의 영역을 상기 소스 전극이 덮도록 형성되는 박막 트랜지스터 기판.

#### 청구항 7

청구항 1에 있어서,

상기 컬러 필터는 상기 데이터선의 상부에 위치하는 박막 트랜지스터 기판.

#### 청구항 8

청구항 1에 있어서,

상기 컬러 필터는 상기 데이터선의 하부에 위치하는 박막 트랜지스터 기판.

**청구항 9**

청구항 1에 있어서,

상기 데이터선에 연결되는 데이터 패드,

상기 게이트선에 연결되는 게이트 패드를 더 포함하는 박막 트랜지스터 기판.

**청구항 10**

청구항 1에 있어서,

상기 소스 전극, 드레인 전극, 화소 전극 및 반도체층의 노출된 부분을 덮는 보호막을 더 포함하는 박막 트랜지스터 기판.

**청구항 11**

절연 기판 위에 데이터선을 형성하는 단계,

상기 기판 위의 화소에 위치하고, 데이터선에 가장자리가 중첩되는 적, 녹, 청의 컬러 필터를 형성하는 단계,

상기 데이터선 및 상기 컬러 필터를 덮는 절연막을 형성하는 단계,

상기 절연막 상부에 형성되어 있으며, 상기 데이터선과 교차하여 상기 화소를 정의하는 게이트선, 상기 게이트선의 본지인 게이트 전극을 포함하는 게이트 배선 및 상기 게이트선과 분리되어 평행하게 있는 주선, 이 주선에 연결되는 가지선을 포함하는 공통 전극을 형성하는 단계,

상기 게이트 배선 및 공통 전극을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 섬모양의 저항성 접촉층과 반도체층 패턴을 형성하는 동시에 상기 게이트 절연막과 상기 절연막에 상기 데이터선 일부를 드러내는 제 1 접촉 구멍을 형성하는 단계,

상기 저항성 접촉층 패턴 상부에 상기 제 1 접촉 구멍을 통하여 상기 데이터선과 연결되는 소스 전극, 상기 소스 전극과 분리되어 마주하는 드레인 전극 및 상기 드레인전극과 연결되되, 상기 공통 전극의 가지선과 소정의 간격을 두고 평행하게 배열되는 가지선을 가지는 화소 전극을 형성하는 단계,

상기 소스 전극과 드레인 전극 사이에 드러난 저항성 접촉층 부분을 제거하는 단계

를 포함하는 박막 트랜지스터 기판의 제조 방법.

**청구항 12**

청구항 11에 있어서,

상기 게이트 절연막, 제 1 접촉 구멍, 상기 반도체층 패턴 및 상기 접촉층 패턴의 형성 단계는,

상기 게이트 배선을 덮는 게이트 절연막, 비정질 규소막 및 불순물이 도핑된 비정질 규소막을 차례로 증착하는 단계,

상기 게이트 전극 위에 위치하는 제 1 부분 및 상기 제 1 접촉 구멍이 형성될 부분을 제외한 전 부분에 제 1 부분보다 얇게 형성되는 제 2 부분으로 이루어지는 감광막 패턴을 형성하는 단계,

상기 감광막의 제 1 부분 및 제 2 부분을 마스크로 하여 그 하부의 상기 불순물이 도핑된 비정질 규소막, 상기 비정질 규소막, 상기 게이트 절연막 및 상기 절연막을 식각하여 상기 제 1 접촉 구멍을 형성하는 단계,

상기 감광막 패턴의 제 2 부분을 제거하는 단계.

상기 감광막 패턴의 제 1 부분을 마스크로 하여 그 하부의 상기 불순물이 도핑된 비정질 규소막, 상기 비정질 규소막을 식각하여 상기 섬 모양의 반도체층 패턴과 상기 저항성 접촉층 패턴을 형성하는 단계,

상기 감광막 패턴의 제 1 부분을 제거하는 단계

를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

**청구항 13**

청구항 12에 있어서,

상기 감광막 패턴은 부분적으로 투과율이 다르도록 조절된 마스크를 사용하여 형성하는 박막 트랜지스터 기판의 제조 방법.

**청구항 14**

청구항 11에 있어서,

상기 절연 기판 위에 상기 게이트선과 상기 공통 전극의 주선 사이의 영역에 중첩되는 차광막을 형성하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

**청구항 15**

청구항 14에 있어서,

상기 차광막을 상기 데이터선을 형성하는 단계에서 상기 데이터선 형성용 물질로 형성하는 박막 트랜지



스터 기판의 제조 방법.

**청구항 16**

청구항 11에 있어서,

상기 데이터선을 형성한 후에, 상기 컬러 필터를 형성하는 박막 트랜지스터 기판의 제조 방법.

**청구항 17**

청구항 11에 있어서,

상기 컬러 필터를 형성한 후에, 상기 데이터선을 형성하는 박막 트랜지스터 기판의 제조 방법.

**청구항 18**

청구항 1에 있어서,

상기 데이터선에 연결되는 데이터 패드, 상기 게이트선에 연결되는 게이트 패드를 더 형성하는 박막 트랜지스터 기판의 제조 방법.

**청구항 19**

청구항 18에 있어서,

상기 소스 전극, 드레인 전극 및 화소 전극 및 상기 패드들을 덮는 보호막을 형성하는 단계,

상기 패드들 위의 보호막 부분을 제거하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

**청구항 20**

청구항 19에 있어서,

상기 보호막을 제거하는 단계는 후속 공정인 다른 기판과의 합착 공정을 진행한 후에 상기 패드들 위의 보호막 부분을 건식 식각하여 이루어지는 박막 트랜지스터 기판의 제조 방법.

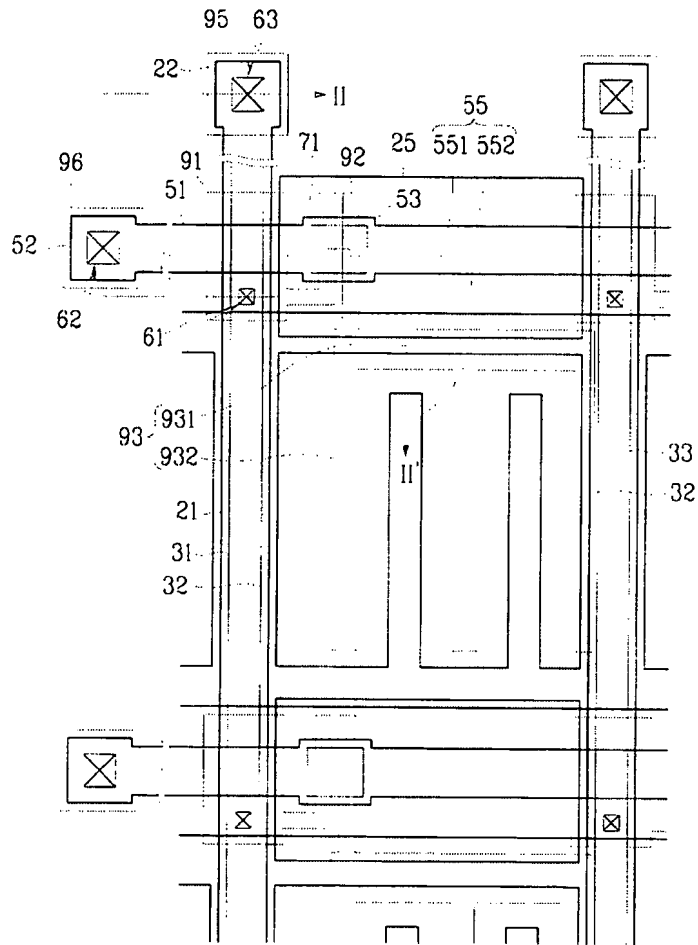
**청구항 21**

청구항 19에 있어서,

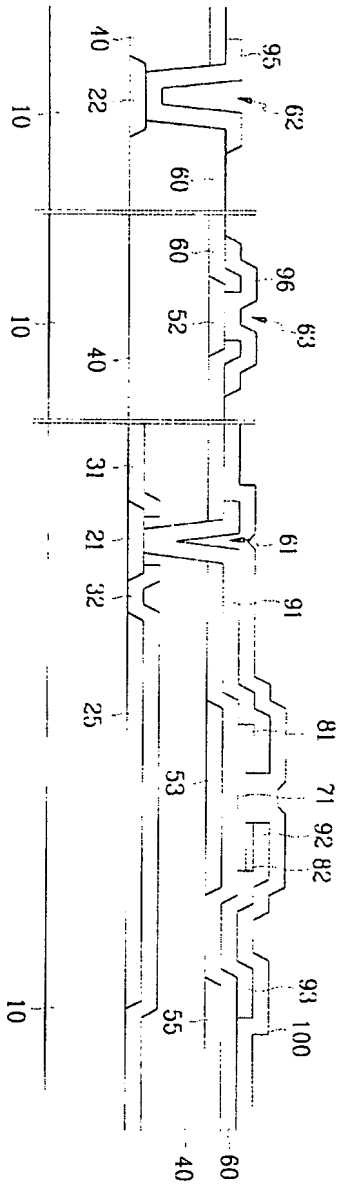
상기 보호막을 제거하는 단계는 후속 공정인 편광판 부착 공정을 진행한 후에 상기 패드들 위의 보호막을 건식 식각하여 이루어지는 박막 트랜지스터 기판의 제조 방법.

도면

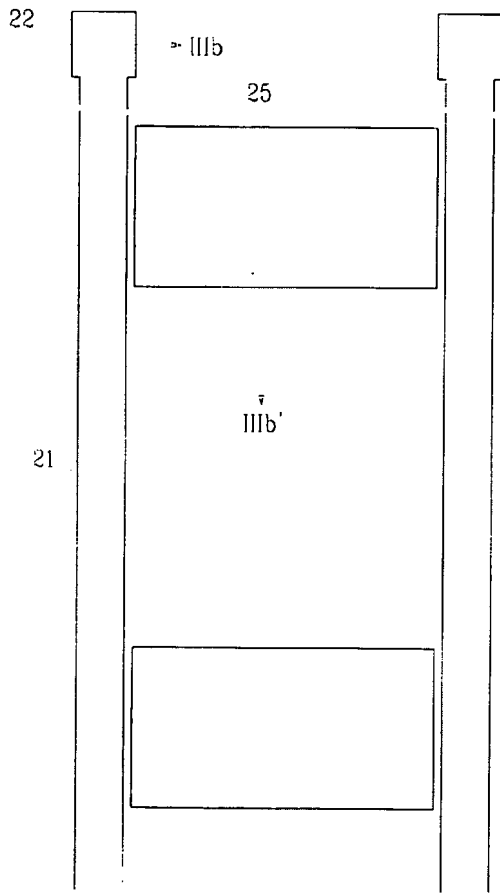
도면1



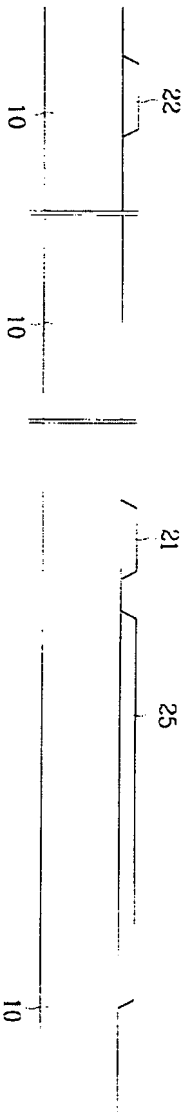
도면2



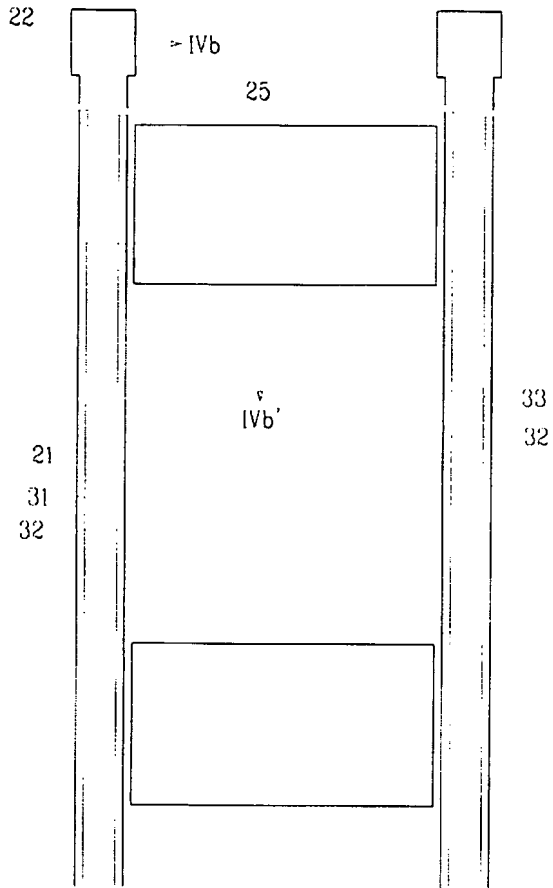
도면3a



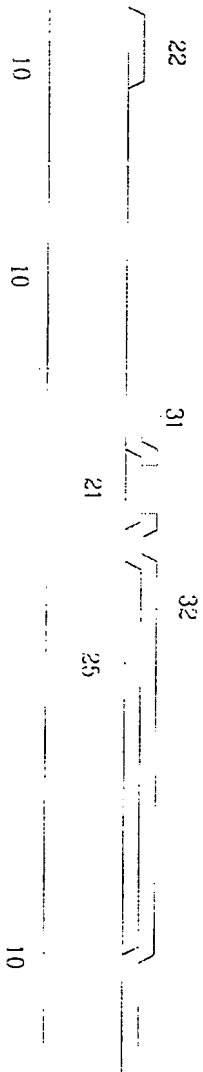
도면3b



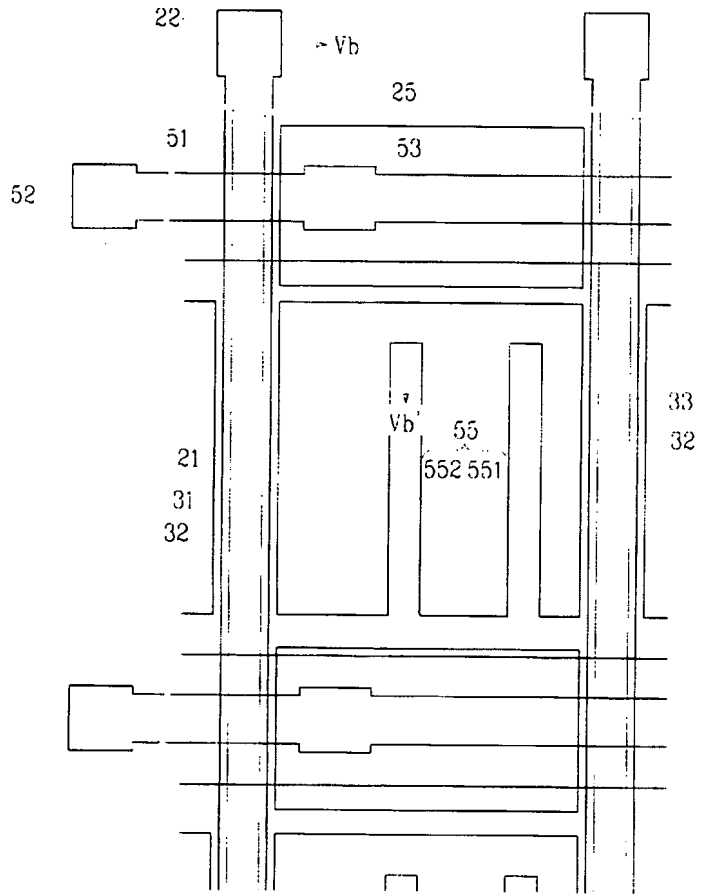
도면4a



도면4b

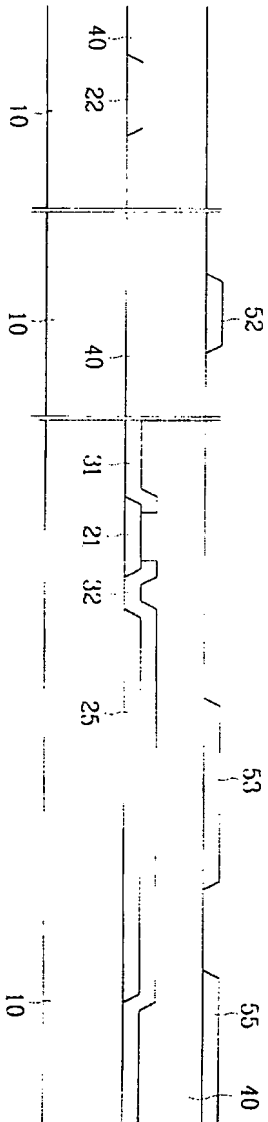


도면5a

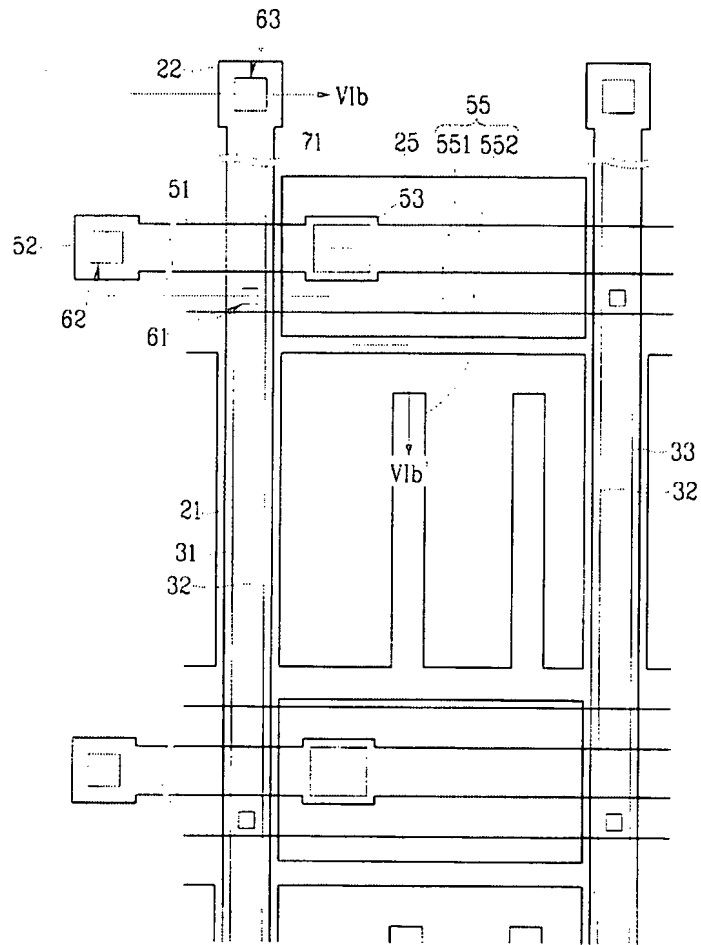




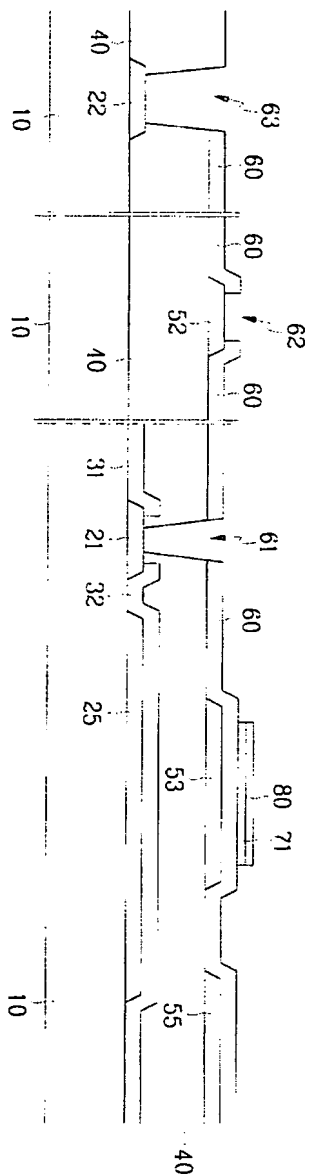
도면 5b



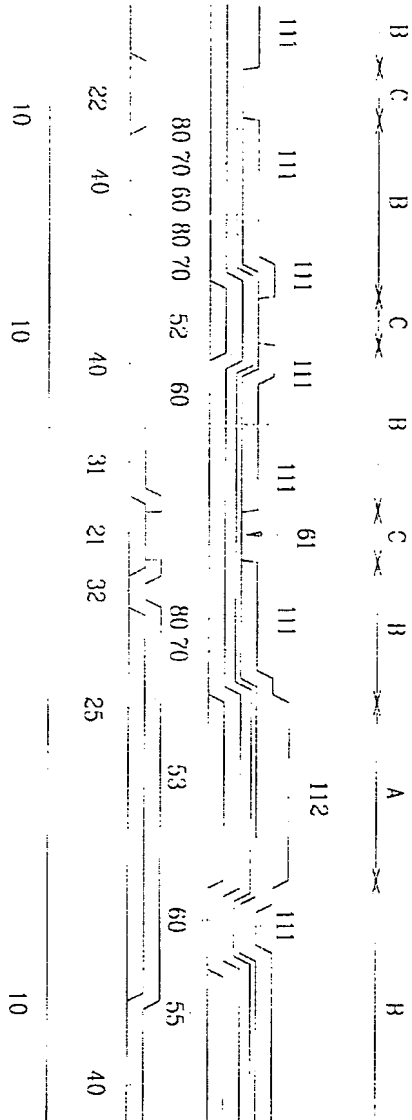
도면 6a



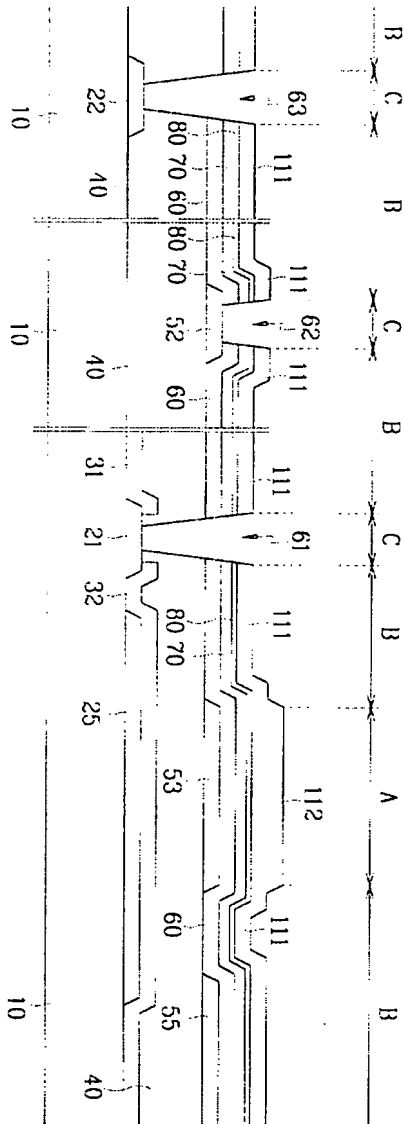
도면6b

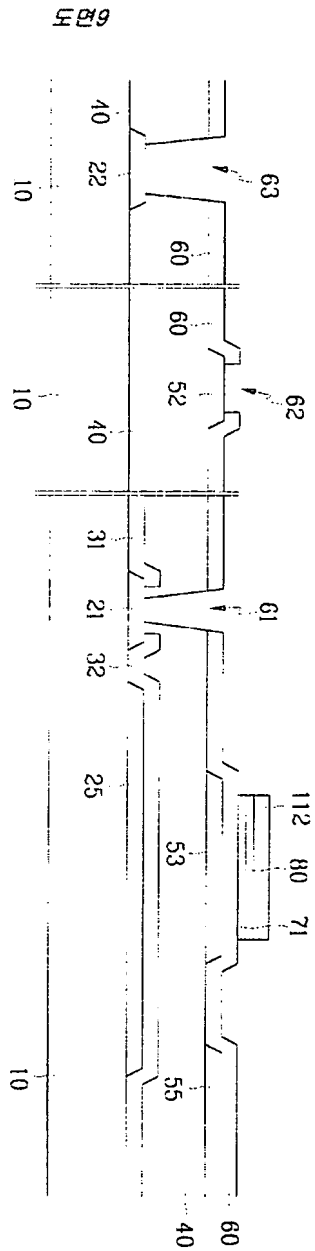


도면7

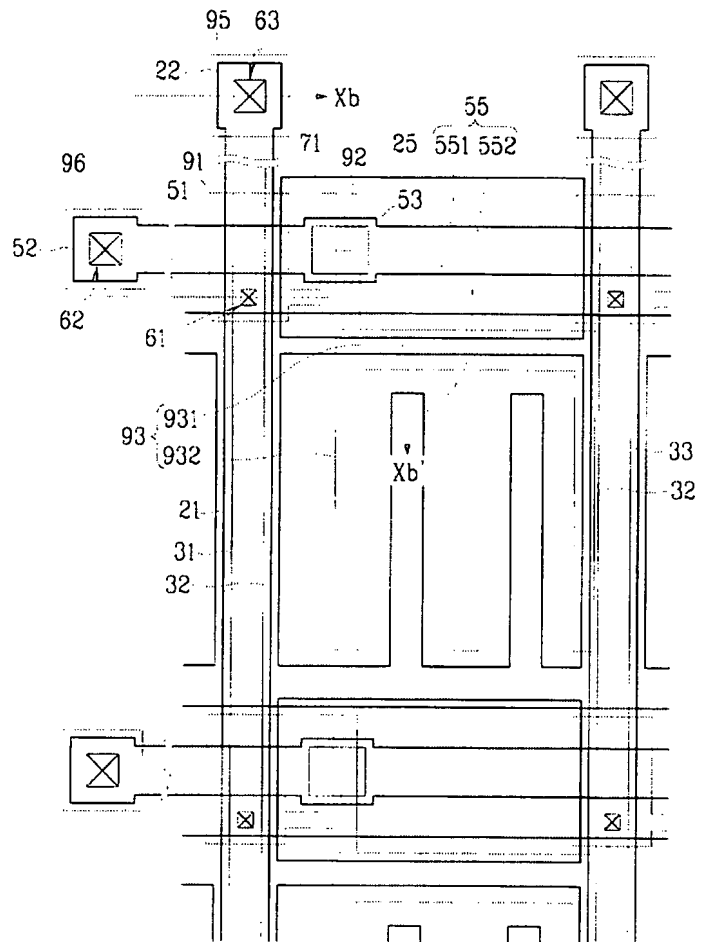


도면8

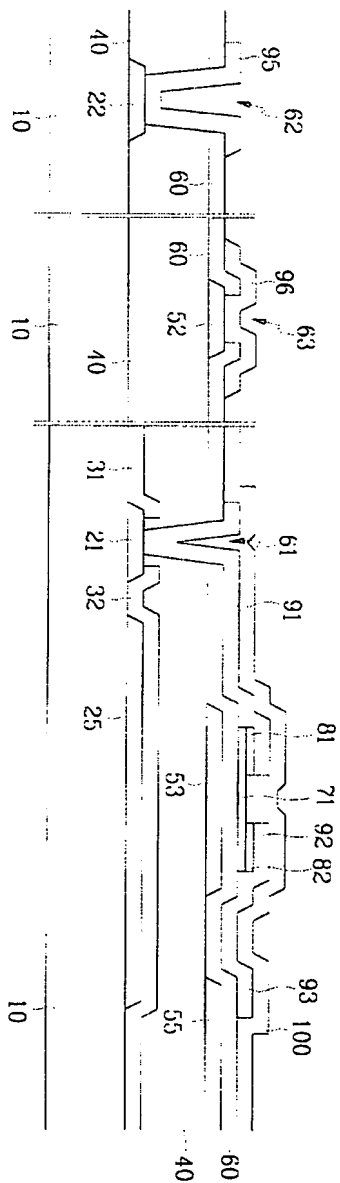




도면 10a



도면 10b





도면11

